

Service Électronique

R. Foglio, C. Barruel, J.-L. Bouly, G. Bosson, P. Cavalli, D. Dzahini, L. Eraud, L. Gallin-Martel, J.-P. Girard, E. Lagorio, S. Muggeo, A. Patti, J.-P. Richer, J.-P. Scordilis, D. Tourres, C. Vescovi, M. Yamouni.

A team of electronics engineers and technicians develops ASICs for high density electronics which meets the needs of high energy physics (ATLAS) and astrophysics (AMS, Planck, EUSO, CREAM).

Les années 2004 et 2005 ont été caractérisées par la poursuite des développements de circuits intégrés pour applications spécifiques (ASIC) et de leur utilisation comme éléments d'une électronique hautement intégrée pour les expériences de physique.

La compétence reconnue de l'équipe CAO du service Electronique dans l'utilisation des outils logiciels lui permet d'assurer la tâche de Site Mainteneur IN2P3 pour l'utilisation du logiciel de placement - routage ALLEGRO et de SPECTRA, le nouveau routeur de l'IN2P3. Cette maîtrise permet le développement de nombreuses cartes complexes et apporte une valeur ajoutée très importante dans tous les projets et les collaborations du laboratoire.

◇ Électronique spécifique à certaines expériences

AMS

L'utilisation du banc de test pour la calibration simultanée de 16 modules nous a permis de procéder aux tests des 680 ensembles photomultiplicateurs (soit 10880 voies de mesures) et modules d'électronique avant la livraison au laboratoire CIEMAT de Madrid. En 2005 nous avons participé au collage des guides de lumière, câblage des hautes tensions, insertion des photomultiplicateurs dans leur coque au CIEMAT ; toutes ces opérations font parties de l'intégration de l'imageur Cherenkov (Figure 1).



Figure 1: Module du détecteur Cherenkov d'AMS avec PM multianodes.

Planck

Dans le cadre du projet Planck, le service Électronique du LPSC est impliqué dans la conception de deux électroniques de contrôle de machines cryogéniques. Le Sorption Cooler développé par le Jet Propulsion Laboratory (NASA, USA) permet la descente en froid de 50 K à 20 K tandis que le Dilution Cooler développé par le CRTBT de Grenoble et construit par Air Liquide DTA permet d'atteindre les 0,1 K depuis l'étage 4 K.

▪ Sorption Cooler Electronics

L'électronique du Sorption Cooler a été développée conjointement par les services d'électronique et d'acquisition de données. Depuis mai 2003, la société ASTRIUM/CRISA (Espagne) est en charge de l'adaptation de la conception de nos équipes aux contraintes spatiales ainsi que de la fabrication et des tests des modèles de qualification et des modèles de vol de cette électronique.

L'EQM (Engineering Qualification Model), premier modèle fourni par CRISA en août 2004, a été testé par le LPSC afin de valider le hardware avant la mise en fabrication du modèle de qualification final et des modèles

de vols. Il a été utilisé comme base de développement du software embarqué.

Ce modèle a ensuite été utilisé intensivement au cours de deux campagnes de tests au JPL couplé au Cooler développé par la NASA.

Après les tests du CQM (Cryogenic Qualification Model) en juin 2005 et la livraison de ce modèle chez Alcatel Alenia Space, restent les trois modèles de vol à recevoir dans le premier trimestre 2006 afin d'être testés fonctionnellement sur le simulateur du LPSC avant livraison chez Alcatel.

▪ Dilution Cooler Electronics

L'électronique du cryogénérateur à dilution d' $^3\text{He}/^4\text{He}$ est aussi développée conjointement par les services d'électronique et d'acquisition de données. Le LPSC est chargé de l'étude du prototype, du développement et de la fabrication des modèles de qualification et de vol.

Le modèle de qualification a été intégré sur la boîte à vannes (DCPU) d'Air Liquide en décembre 2004. Les tests de qualification en vide thermique ont été réalisés sur l'électronique seule avant intégration, alors que les tests en vibrations ont été faits sur le système intégré en janvier 2005 avant livraison à Alcatel Alenia Space.

Le modèle de vol a été livré pour tests fonctionnels définitifs au LPSC en décembre 2005 (Figure 2). Il sera ensuite intégré à la DCPU avant de passer la batterie de tests d'acceptance (vibrations, vide, thermique, compatibilité électromagnétique) pour ensuite être livré pour intégration sur le satellite par Alcatel Alenia Space.

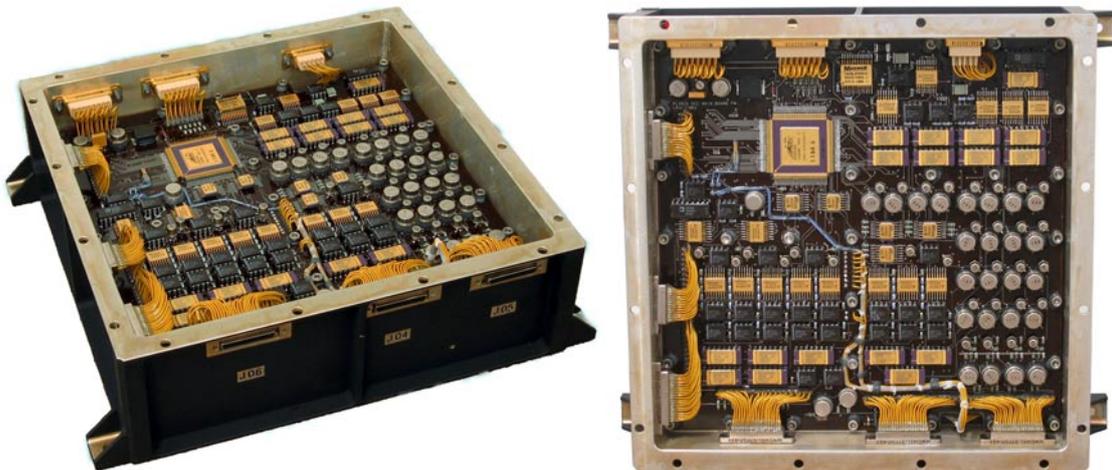


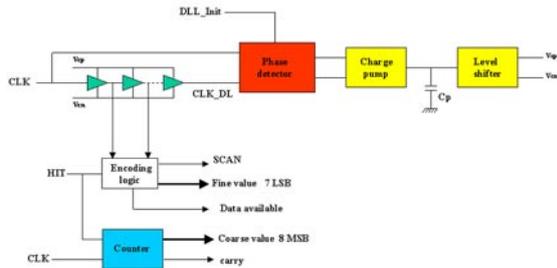
Figure 2: Planck DCE Flight Model.

Le projet Planck aura permis au laboratoire et au Service Électronique de découvrir les particularités et contraintes des projets spatiaux. L'importance de l'assurance qualité dans ce type de projets notamment aura été une contrainte forte pour l'avancement du projet et l'aide d'un ingénieur qualité extérieur durant trois mois, fin 2005, a été précieuse pour l'équipe Planck.

Tomographe

Le Service Électronique du LPSC a, durant ces deux années, contribué aux tests d'un module prototype devant équiper un μTEP à xénon liquide à 16 modules. La cellule contenant le xénon présente une section de $20 \times 20 \text{ mm}^2$ et une longueur de 50 mm et peut recevoir différentes matrices de guide de lumière (100 guides de $2 \times 2 \text{ mm}^2$ ou 40 guides de $2 \times 5 \text{ mm}^2$). Les photons de scintillation sont détectés à chaque extrémité de la cellule par un photomultiplicateur à anodes croisées (PSPMT) de type R8520 de chez Hamamatsu. Une forte interaction a été nécessaire avec ce fabricant pour obtenir un PM compatible avec les contraintes du xénon liquide (scintillation dans le VUV à 178 nm et température de fonctionnement de 165 K). Les deux prototypes fournis par Hamamatsu présentent un gain de l'ordre de $1,5 \cdot 10^6$ et une efficacité quantique de 15% et 20% à 178 nm. Les coordonnées x et y (plan du PM) de l'interaction du γ dans la cellule sont obtenues par un calcul barycentrique sur les signaux d'anodes d'un même PM (6 anodes en x et 6 anodes en y). La coordonnée z (le long de l'axe du module) peut, quant à elle, être obtenue par le même type de calcul mais cette fois sur les signaux de dynode des deux PM. Le traitement des signaux des PM est assuré par des modules standard NIM et CAMAC, l'acquisition numérique se faisant au moyen d'un châssis VME.

Parallèlement à son implication dans ces tests, le service a débuté en 2004 l'étude d'une électronique dédiée. Cette électronique auto-déclenchée doit être implantée sur le module de xénon (165 K) et doit fonctionner indépendamment des 15 autres modules (16 modules sont prévus pour le μ TEP). Elle doit permettre la localisation en x, y et z de l'interaction dans la cellule (mesure de charge multivoie) ainsi que le marquage en temps de l'événement; la validation d'un événement se faisant, au niveau du μ TEP, par la coïncidence en temps d'événements dans 2 modules diamétralement opposés. Cette électronique doit de plus assurer la conversion analogique numérique et le stockage des données en attente d'acquisition. La conception de convertisseurs charge tension nécessitant la validation des photo-détecteurs, l'étude a débuté par le développement d'un convertisseur temps numérique (CTN) en collaboration avec le service d'acquisition de données. Ce circuit (Figure 3), réalisé en technologie AMS CMOS 0,35 μ m, permet le marquage en temps des interactions (HIT) par rapport à une horloge de référence commune aux 16 modules (CLK).



Caractéristiques du CTN à température ambiante :

- Résolution typique :** 244 ps pour 32 MHz.
- Plage de fonctionnement de la ligne :** de 13 MHz à 40 MHz.
- Plage de verrouillage de la DLL :** de 20 MHz à 40 MHz.
- Non linéarité différentielle :** $< \pm 20\%$.
- Non linéarité intégrale :** $< 1\%$.
- Dispersion :** pour un même retard les 5 circuits testés donnent la même mesure.
- Consommation :** 14 mW.

Figure 3 : Schéma synoptique du CTN.

Le circuit utilise une ligne à retard de 128 cellules asservie par une boucle à verrouillage de retard (DLL) sur la période du signal d'horloge CLK (T_{clk}). La résolution est donnée par la valeur d'un retard élémentaire soit $T_{clk}/128$. La DLL assure la stabilité à long terme de cette résolution en réduisant les effets des variations de température, de tension d'alimentation et des paramètres technologiques. La résolution obtenue pour une horloge de 32 MHz est de 244 ps sur une gamme de température allant de 80° C à -120° C. Dans ces mêmes conditions, la non linéarité différentielle, mesurée en utilisant deux horloges décorréées, est inférieure à $\pm 20\%$. Le CTN comprend également un compteur 8 bits qui permet d'étendre la pleine échelle à une valeur de $256 \times T_{clk}$. Le temps mort maximum est de $3 T_{clk}$ et la sortie DATA AVAILABLE permet une lecture synchrone des données.

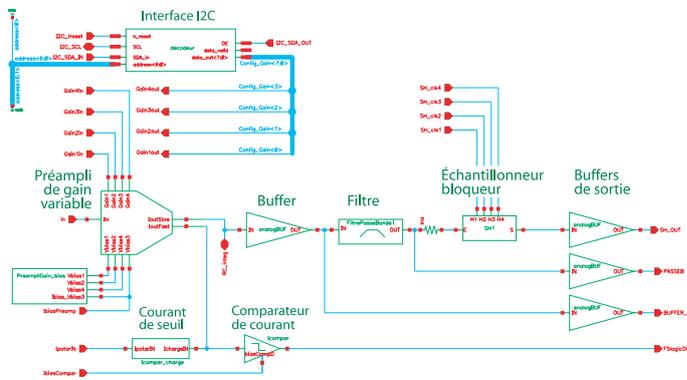


Figure 4 : Schéma bloc d'une chaîne de lecture pour PM.

Le courant dispose de deux sorties : une rapide qui va sur un comparateur de courant sert pour le comptage, tandis que la deuxième plus lente sert à mesurer l'amplitude ou l'énergie. Quatre bits de contrôle permettent de régler le gain en courant de la voie lente pour compenser les fluctuations de gain des PM. Ce contrôle peut être effectué par des entrées directes ou par un port I2C intégré dans le circuit (Figure 4). Le signal résultant passe ensuite dans un filtre de type Sallen-Key et la valeur maximale est prélevée par un échantillonneur bloqueur.

Le projet Tomographe s'orientant vers l'utilisation de photodiodes à avalanches (APD), nous avons lancé la conception d'une double alimentation Haute Tension (Figure 5).

De plus, un prototype de circuit intégré a été réalisé et encapsulé dans le même boîtier que le TDC. Il inclut un préamplificateur de courant pouvant supporter les signaux de fortes amplitudes (> 2 mA) venant des photo multiplicateurs situés aux extrémités des guides d'onde. Le préamplificateur de



Figure 5 : Double alimentation HT pour APD.

Pour la conception de ce tiroir, nous sommes partis d'un convertisseur DC-DC existant dans le commerce et spécialement étudié pour les APD. Celui-ci fournit une tension de 0 à 2 000 volts et limité en courant à 0,5 mA, ce qui est suffisant pour nos essais.

La principale difficulté lors du développement a été la partie mesure de courant. En effet, du fait des hautes tensions et du faible courant utile, il a fallu concevoir un ensemble composé d'un optocoupleur, d'une alimentation à masse flottante et d'un amplificateur avec une très grande résistance d'entrée.

Un premier prototype a été réalisé ainsi que la procédure de calibration. Le point sensible à prendre en compte dans la conception d'une alimentation pour un capteur quel qu'il soit, c'est le bruit qu'elle produit. Pour ce faire, nous nous sommes basés sur notre banc d'acquisition relié à une APD, lui-même alimenté successivement par une alimentation étalon (commerciale) puis par la nôtre. Il s'est avéré que notre alimentation était un peu plus bruyante que l'alimentation de référence. Après une légère modification, le bruit a été ramené sensiblement au même niveau, ce qui nous a permis de valider la conception. Aujourd'hui une version finale en standard NIM est en cours de calibration.

Bien qu'elle ne soit pas, en terme de performances bruit et puissances, capable de concurrencer des alimentations d'instrumentation, elle est d'un faible coût, plus simple à utiliser, moins encombrante, et convient parfaitement pour des essais sur des APDs à l'unité.

Électronique frontale pour l'expérience EUSO

Pendant la durée de la phase A (~ 4 ans) le Service Électronique a réalisé quatre ASIC prototypes pour finaliser l'architecture de la partie frontale analogique (Analog Front End Electronics) du circuit devant traiter les signaux provenant des 5 000 photomultiplicateurs multi anodes (36).

Le dernier prototype *chip_euso_mars* réalisé comprend :

- une voie dynode constituée d'un préamplificateur de charge associé à une mémoire analogique 128 cellules et 2 comparateurs de tension fournissant les signaux pour le trigger. Un système de décharge automatique de la capacité d'intégration en cas de saturation permet d'évaluer le nombre de photons incidents en comptant les signaux *reset* générés pendant la durée du GTU (Gate Time Unit) ;
- 18 voies anode constituées chacune d'un préamplificateur de courant avec correction automatique de courant d'offset via un amplificateur *auto-zéro*. Ce préamplificateur est associé à un intégrateur capacitif, une mémoire analogique 32 cellules et un comparateur de tension qui ne valide le stockage à la fin du GTU que pour les événements utiles. Une deuxième sortie associée à un comparateur de courant fournit un signal pour le comptage des photons.

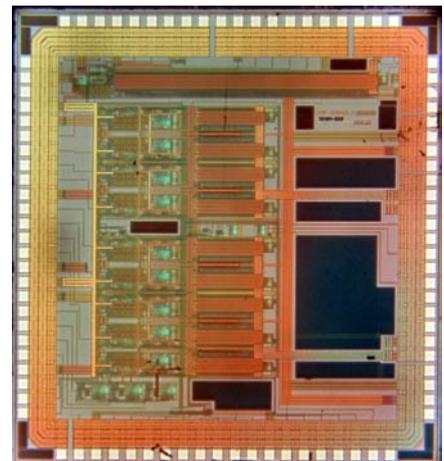


Figure 6: Photo de l'ASIC *chip_euso_mars*.

Ce circuit a été testé avec succès, ce qui nous a permis de valider une bonne partie du design et de mettre en évidence certains défauts en particulier au niveau de la lecture des blocs mémoires (Figure 6).

Nous avons ensuite réalisé une version réduite à 18 canaux de l'ASIC final avec nos collègues italiens de l'INFN de Gênes. Ce premier et dernier prototype franco-italien, baptisé *mars0_18* (Figure 7), s'inspire directement du circuit précédent pour la partie frontale analogique.

Quelques améliorations ont été apportées, en particulier la possibilité d'ajuster les gains des préamplificateurs de courant pour compenser les fluctuations de gains entre anodes d'un même photomultiplicateur ($\pm 50\%$). L'intégration du courant est réalisée par un amplificateur de charge au lieu d'un simple condensateur, et la capacité de stockage des mémoires analogiques a été réduite à 8 cellules.

La partie numérique réalisée par nos collègues génois est dérivée de leur ASIC prototype de l'électronique frontale numérique (Digital Front End Electronics). Elle assure le comptage des signaux provenant des comparateurs de courant ; le stockage en mémoire interne à la fin de chaque GTU est validé par un seuil numérique.

De nombreuses fonctionnalités sont aussi introduites dans ce bloc numérique. Il gère tous les seuils des comparateurs (DACs), les gains des préamplificateurs, les signaux de synchronisation (GTU, clock, reset...), les différents registres de configuration, etc. Par exemple, dès qu'un signal de trigger externe valide la lecture des mémoires analogiques, le contenu de chaque cellule est transféré séquentiellement vers l'ADC externe. Tous les signaux de synchronisation utiles à l'ADC sont générés via une interface ad hoc et le résultat de la conversion est mémorisé en interne. Tous les transferts de données sont effectués via des interfaces série.

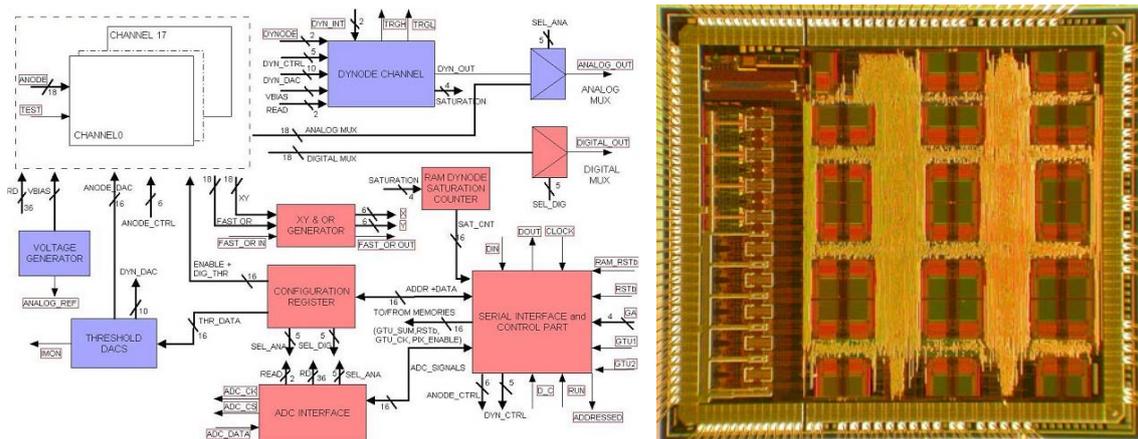


Figure 7: Schéma de principe et photo de l'ASIC mars0_18 (surface ~ 30 mm²).

Le banc de test des circuits a été réalisé conjointement avec nos collègues génois qui ont développé un logiciel et une carte de tests spécifiques. Cette carte IEFE (Interface to EUSO Front End) est connectée au PC, via une liaison USB, et à la carte de test de l'ASIC développée au LPSC. Elle permet de configurer le circuit mars0_18 et lui fournit tous les signaux de synchronisation utiles. En mode acquisition/lecture elle récupère les données mémorisées en interne pour vérifier la fonctionnalité et évaluer les performances des différents canaux dynode et anodes (Figure 8).

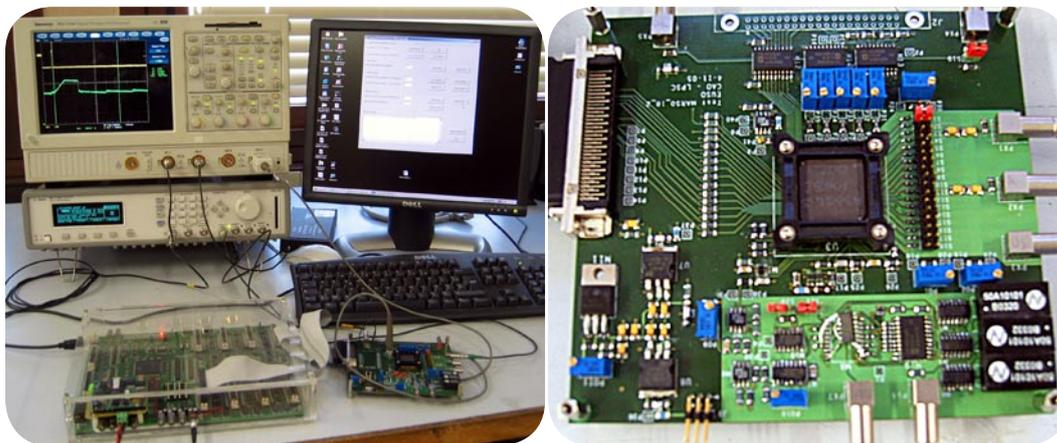


Figure 8: Banc de test du circuit mars0_18.

ASIC pour l'expérience MIMAC-HE3

Après les premières études préliminaires, c'est une solution associant un préamplificateur de charge et un comparateur de courant qui a été retenue. Les sorties des comparateurs sont échantillonnées toutes les 20 ns (50 MHz) pour permettre de reconstruire la trace tridimensionnelle d'une particule traversant la chambre.

Compte-tenu du niveau des signaux à détecter comparé au bruit intrinsèque de l'électronique, une solution de repli a aussi été implantée associant au préamplificateur d'entrée un circuit de filtrage suivi d'un comparateur de tension. Ceci permettra d'évaluer les performances d'une voie en perdant toutefois l'information temporelle.

Des compensations automatiques d'offset via des amplificateurs auto-zéro, hérités des développements pour EUSO, ont aussi été prévues sur chaque voie. La sortie du comparateur, courant ou tension, est convertie au standard LVDS (Low Voltage Differential Signaling) pour minimiser les couplages numérique ↔ analogique. Seize voies identiques ont été implantées dans cet ASIC, associées à un circuit de sommation et de filtrage à deux gains donnant une information sur l'énergie de la particule incidente.

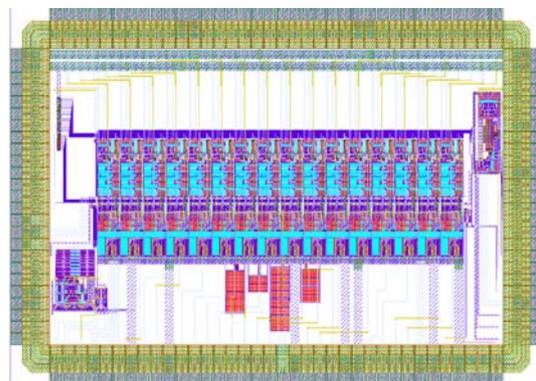


Figure 9: Layout de l'ASIC MIMAC (surface ~ 15 mm²).

Par ailleurs, dans le but de réduire le nombre de connexions en sortie et la consommation, un double sérialiseur à 400 MHz (convertisseur parallèle série) a aussi été intégré. Il transfère les 16 sorties des comparateurs sur deux lignes au standard LVDS (2×8 bits) entre deux échantillonnages successifs. Ceci nécessite l'implantation d'une boucle à verrouillage de phase (PLL) pour générer à partir de l'horloge système à 50 MHz une horloge à 400 MHz, associée à deux registres à décalage. Par contre c'est un point difficile car la cohabitation entre un oscillateur à 400 MHz et des préamplificateurs bas bruit n'est pas évidente (Figure 9).

La carte de test est en cours de développement. Elle permettra d'évaluer les performances de l'ASIC tout en réfléchissant à la carte d'acquisition qui intégrera probablement une connectivité Ethernet, et à l'implantation future des ASICs au niveau du détecteur, d'où l'intérêt de la liaison Ethernet qui permettra de limiter le nombre de passages de fils.

ILC : International Linear Collider

▪ Électronique pour les pixels MOS du traker

En collaboration avec l'IRES de Strasbourg qui développe des capteurs pixel de type MOS (MAPS), un circuit a été conçu pour la lecture des signaux et leur conversion en données numériques. Le signal minimal est de très faible valeur (1 mV), et chaque canal d'électronique a la largeur de deux colonnes de pixels ($40 \mu\text{m}$), et fonctionne à la vitesse de 20 MHz pour lire les deux colonnes par multiplexage. La chaîne électronique inclut un échantillonneur bloqueur avec une compensation d'offset et un contrôle de la variation de mode commun. Ensuite le signal est codé sur une dynamique de 5 bits. L'architecture du codeur est du type pipeline non différentiel. La consommation totale est de 1,4 mW, et une fonction de mise en sommeil presque total permet d'éteindre et d'activer le circuit en 300 ns. La figure 10 présente le dessin des masques d'un premier prototype à 8 canaux.

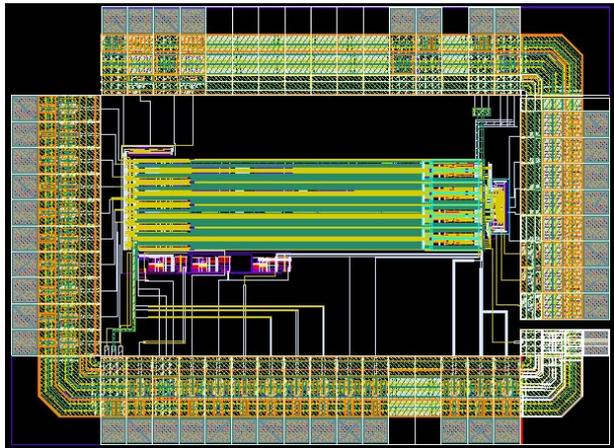


Figure 10: ADC pipeline de 5 bits pour pixel MOS.

Une deuxième version de circuit comporte plusieurs dizaines de canaux d'ADC qui seront couplés à la matrice des capteurs. Un exemple de 50 canaux est donné à la figure 11, les dimensions de chaque canal ADC sont de $40 \mu\text{m}$ par $1440 \mu\text{m}$.



Figure 11: Vue de quelques uns des 50 canaux ADC pipeline de 5 bits pour pixel MOS.

▪ **Électronique pour le calorimètre électromagnétique**

Les études pour un convertisseur d'au moins 10 bits sont terminées. L'architecture est de type pipeline différentiel. Chaque étage du codeur donne 1,5 bit et un correcteur numérique permet de faire les compensations nécessaires des erreurs dues aux offsets des comparateurs. Cette version du codeur consomme 24,3 mW en mode continu d'après les simulations. Le schéma bloc de l'ensemble du convertisseur est donné à la figure 12. La courbe de linéarité d'un étage (Figure 13) permet d'envisager 10 à 12 bits de dynamique, pour une fréquence d'échantillonnage allant jusqu'à 16 MHz.

La simulation des 4 premiers étages du convertisseur est représentée à la figure 14. Ces courbes de résidus laissent entrevoir une dynamique différentielle de ± 500 mV.

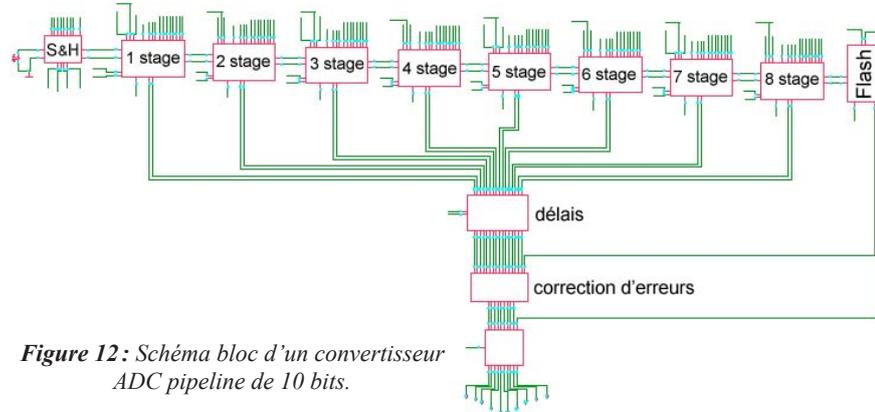


Figure 12: Schéma bloc d'un convertisseur ADC pipeline de 10 bits.

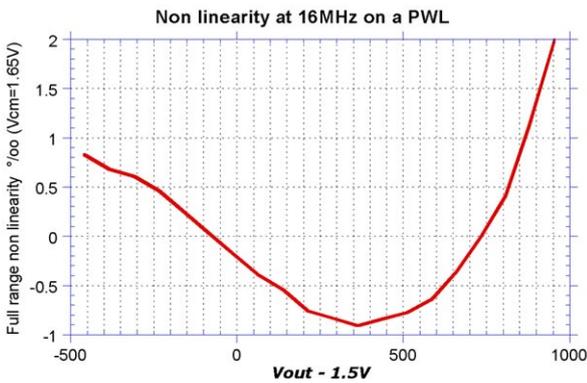


Figure 13: Simulations de non linéarité d'un étage ADC en fonction du résidu en mV.

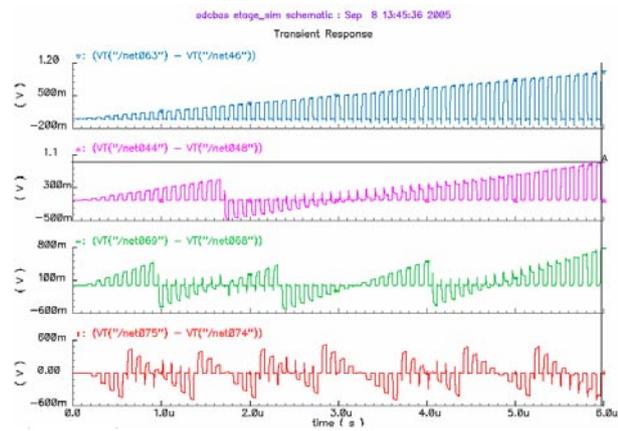


Figure 14: Courbe de résidus des 4 premiers étages du convertisseur.

CLUB 035

Ce circuit (Figure 15) a été soumis dans le cadre du club 035 de microélectronique, et il inclut les cellules et fonctions de base suivantes :

- un amplificateur opérationnel rapide utilisé dans une configuration échantillonneur/bloqueur,
- un buffer analogique rail to rail en CMOS,
- un comparateur rapide de faible offset commandé par une horloge.

CREAM

Le Service Électronique a la responsabilité de concevoir les 100 modules haute tension 1500 V du projet CHERCAM de CREAM. Ces modules alimentent 1600 photomultiplicateurs à partir du 28 V DC et doivent résister aux contraintes de pression critique et de température. L'aspect mécanique et l'encapsulation des 100 modules ont été également pris en compte. Les premiers prototypes donnent entière satisfaction. L'expérience et la maîtrise de cette technique vont permettre de réaliser des modules 1800 V pilotables à distance pour d'autres expériences.

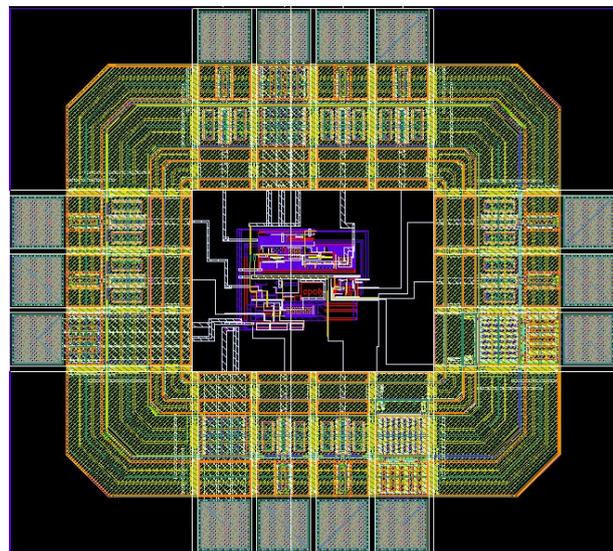


Figure 15: Circuit incluant des fonctions de base analogiques.

ATLAS

En collaboration avec le KTH de Stockholm nous avons effectué deux campagnes de mesures (avril et mai 2005) afin de contrôler les connexions électriques du pré-échantillonneur central installé à l'intérieur du puits ATLAS au CERN. Ces mesures ont consisté à envoyer un signal sinusoïdal de basse fréquence (10 kHz) et de faible amplitude (20 volts crête à crête) puis enregistrer et analyser la réponse du détecteur. Cette technique permet de mettre en évidence des défauts de connexion : par exemple une résistance de protection de 1 M Ω mal soudée sur une anode pour un total d'environ 175 000 résistances. Les résultats de ces campagnes de mesures ont été portés sur le Web afin de permettre l'accès au reste de la collaboration argon liquide d'ATLAS :

http://lpsc.in2p3.fr/atlas/base_de_donnee/M_Wheel_PS_Status.htm, et
http://lpsc.in2p3.fr/atlas/base_de_donnee/P_Wheel_PS_Status.htm

CNAO

Fin 2004, le LPSC a été contacté par la fondation CNAO afin de participer à la fabrication d'un synchrotron pour le traitement de tumeurs cancéreuses. De part la similitude entre ce projet et le futur projet français ETOILE, le laboratoire a décidé de s'impliquer dans CNAO dans plusieurs domaines, dont l'électronique de contrôle de la cavité accélératrice, Low Level RF, qui a été confiée au Service Électronique épaulé par le Service Acquisition de Données.

Le but de cette électronique est de piloter l'unique cavité accélératrice du synchrotron de CNAO à partir des consignes fournies par le centre commande-contrôle. L'électronique doit réguler la fréquence (300 kHz - 4 MHz), l'amplitude (10 V - 5 kV) et la phase du signal sinusoïdal fourni à la cavité tout en assurant l'accord de celle-ci, et doit également assurer le positionnement transverse et longitudinal du faisceau.

Une première carte de test fournissant les signaux de contrôle de la cavité a été réalisée et testée au CERN en septembre 2005. Après quelques difficultés pour figer les spécifications des boucles de régulation et les interfaces avec le commande-contrôle, le design de la carte calculateur basé autour d'un DSP Analog Device ADSP21261 dédié à la régulation a été lancé fin 2005 et devrait être testé sur la cavité courant mars 2006. Le design de la carte définitive assurant les fonctions de contrôle de la cavité accélératrice et de la position du faisceau sera alors lancé de manière à avoir un prototype en test fin 2006.

Bobines supraconductrices de space cryomagnetics

Le service d'électronique a développé pour le projet A-PHOENIX (SPIRAL 2) une électronique permettant de protéger les bobines supraconductrices des effets *quenches*.

Plusieurs ponts diviseur de tension (7) sont installés aux bornes de chaque couple de galettes. Leur fonction est de détecter le moindre déséquilibre, engendré par un quench (0 - 4 mV et > à 50 ms), de transmettre l'information à l'électronique associée, pour stopper l'alimentation (200 A) et éviter ainsi tout effet destructeur.

Les ponts, constitués par les galettes et des résistances ajustables, permettent leur équilibrage à la valeur de l'inductance de chaque couple. Cet équilibrage s'effectue une fois pour toutes en injectant 2 V/50 Hz aux bornes de l'ensemble des couples de galettes.

Les mesures de tensions (amplis d'isolement + ampli d'instrumentation fort gain) doivent avoir une grande sensibilité et un excellent rapport signal/bruit, car la gamme de signal à exploiter est de l'ordre de 0 - 4 mV. Le système permet aussi de localiser physiquement le premier quench.

n-DVCS

Pour l'expérience n-DVCS (Deep Virtual Compton Scattering) qui est installée à JLab (USA), le service a étudié et réalisé l'électronique des ponts des photomultiplicateurs et les amplificateurs associés les mieux adaptés pour limiter le courant anodique des PM Hamamatsu R7877 (très haut flux de particules).

L'intégration sur site de l'instrumentation des 70 ensembles constituant le détecteur de marquage a donné entière satisfaction.

Robot

Le robot qui jusque-là avait servi aux tests de différents circuits intégrés (Shappers, SCA, OPAMP) tous destinés aux expériences du CERN a été transplanté au C4I (organisme associé à l'IN2P3).

Notre service a opéré à la fois le déménagement et la réinstallation sur le site du C4I à Archamps (74). Il a également assuré le redémarrage de l'ensemble robot-imprimante et la liaison série de l'électronique de test.

À la suite de cette opération, notre service a étudié, réalisé et fourni, à la demande du C4I, un dispositif complet pour un nouveau test d'un circuit intégré *Micro BGA*, expérience NINO du CERN. Cet ensemble a également été suivi d'une prestation de service sur site (mise en place, tests de fonctionnement).

ATLAS LAr End-Cap

À la demande du service de mécanique, notre service a étudié et réalisé, suivant un cahier des charges, un système pour le pilotage des moteurs des plateaux mobiles, pour le déplacement des lignes cryogéniques de LAr End-Cap au CERN.

Les déplacements des lignes s'effectuant à distance, pendant la maintenance, il a été nécessaire de réaliser une armoire avec un coffret de commandes locales et un système de convertisseurs (4 - 20 mA) pour les commandes à distance (CSD) qu'il a fallu adapter à un ensemble fournissant des données informatiques géré par nos collègues américains.

Les contraintes de réalisation résultant des impératifs de sécurité (fond du puit ATLAS), ont nécessité l'utilisation de composants et matériaux répondant aux normes (coffret métallique CEM, câbles *Allogène 0*, pas de dégagement de gaz toxique en cas d'incendie). Cet ensemble monté et testé sur place est prêt pour sa mise service.

Activité sur PEREN

Le Service Électronique a étudié le système de régulation thermique d'un four 3 zones. Ce four est utilisé pour réaliser un système de fusion et de moulage des sels massifs LiF-BeF₂ dans des cylindres de graphite. Le four est géré par un système informatique qui pilote le régulateur Euroterm principal et trois régulateurs esclaves commandant trois gradateurs de puissance destinés au contrôle de phases et à la régulation de charge triphasée industrielle.

