

Service Acquisition de Données

G. Barbier, O. Bourrion, J. Bouvier, B. Boyer, F. Pancher.

This service is specialised in digital electronics, real time data acquisition and control of experiments. It takes an important place on most experiments where the LPSC is involved. The work has continued on the software for the cooler control of the Planck experiment and on the electronics for the G0 experiment phase two. It has also worked for EUSO, CNAO, tomography experiments and more recently for CREAM experiment.

Introduction

Au cours de ces deux dernières années, le service a participé à de nombreuses expériences dans lesquelles le LPSC est impliqué. Si les expériences Planck et G0 ont continué à occuper une part importante de notre activité, d'autres expériences telles que EUSO, CNAO, MIMAC-He3, la tomographie et plus récemment CREAM ont nécessité des développements matériels et logiciels. Le service a eu également en charge les acquisitions pour les expériences sur la physique des réacteurs, sur Lohengrin, sur n-EDM, MIMAC-He3 et sur GRAAL.

Une partie du temps a été consacré à la recherche et développement pour des réalisations électroniques telles qu'un codeur de charges 16 voies en standard VME, un module VME générateur de signaux ou un module adaptateur USB-GPIB. Certains de ces travaux ont été menés à bien avec le concours de stagiaires.

◆ Expérience Planck

Le service est chargé de l'étude et de la réalisation de l'électronique numérique et de l'informatique nécessaires au pilotage de la machine cryogénique à 20 K « Sorption Cooler » développée par la NASA au Jet Propulsion Laboratory (JPL) et de l'électronique numérique de la machine à dilution 100 mK développée par la société Air Liquide.

Électronique logique et informatique de commande du 20 K

Ces deux années ont été consacrées au développement et au test des modèles EQM (Electronic Qualification Model) et CQM (Cryogenic Qualification Model). Des changements dans le cahier des charges ont amené la société espagnole CRISA chargée de la construction des différents modèles de qualification et de vol à effectuer quelques modifications dans le design initial. Celles-ci ont entraîné des changements dans le contenu du FPGA chargé de gérer l'interface entre le DSP et les différentes entrées/sorties de la carte numérique ainsi que dans le logiciel. Des tests ont été réalisés durant le premier trimestre 2004 et le premier modèle (EQM) a été livré en août 2004 pour être connecté à la machine cryogénique du Jet Propulsion Laboratory de la NASA au cours du dernier trimestre 2004. Ces premiers résultats ont été concluants et ont démontré que l'électronique et le logiciel étaient opérationnels. L'ensemble EQM a ensuite été monté sur la version CQM du satellite chez Alenia à Turin pour des tests de connectique et de communication.

Le modèle CQM a été livré début 2005, testé puis connecté au premier modèle de vol de la machine cryogénique du JPL en avril 2005. Ces tests ont permis, entre autre, de valider le logiciel avec toutes ses fonctionnalités. Depuis août 2005, l'ensemble CQM est opérationnel dans les locaux de la société Alcatel à Cannes pour des tests fonctionnels et de communication avec le satellite. Les premiers tests ont été effectués avec succès en août et octobre 2005.

Au cours du deuxième semestre 2004 et tout au long de l'année 2005, des tests unitaires et fonctionnels systématiques du logiciel ont été entrepris afin de réduire au maximum les risques d'erreurs. Ces tests ont d'abord été réalisés sur le logiciel de démarrage (boot) par la société irlandaise Captec. Cette partie du logiciel est cruciale car elle permet d'initialiser la communication avec le satellite et ne peut plus être modifiée après la fabrication de la carte électronique. Après un transfert de compétences, ces mêmes tests ont été appliqués au logiciel applicateur par différentes équipes du laboratoire. En parallèle de ces tests, les documentations associées ont été écrites.

◇ Expérience GØ

Module CEDFPD

Après une phase de test et de caractérisation, le service a fabriqué puis testé 5 modules CEDFPD.

Ces modules, au format VXI taille C, font le comptage des coïncidences entre les informations issues de 9 détecteurs proches du cryostat (appelés Cryostat Exit Detectors) et de 14 détecteurs situés à environ 2 mètres de la cible (appelés Focal Plan Detectors) et ceci dans une fenêtre en temps déterminée par l'utilisateur (ce temps est défini par un signal externe). Voir figure 1.

En outre une partie de ces coïncidences peut aussi être validée par un autre signal, issu d'un détecteur Cherenkov, connecté en face avant du module.

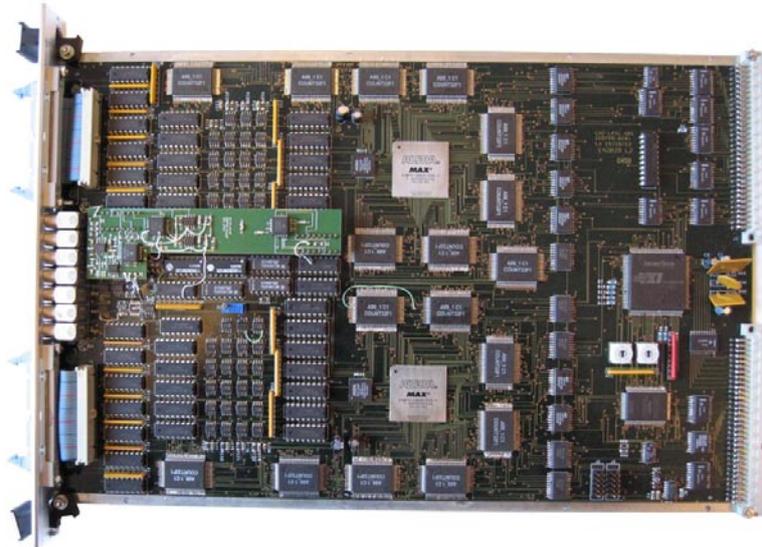


Figure 1: Module CEDFPD pour l'expérience GØ.

Module SPLITTER/TRIGGER (rapport interne LPSC05-90)

Dans le cadre de l'expérience GØ, à la suite d'un changement de génération de faisceau, a été développé un module nommé SPLITTER/TRIGGER. Celui-ci est chargé de faire la transposition de signal entre la nouvelle version de génération de faisceau et l'ancienne. Par ailleurs ce module sera utilisé par les parties françaises et américaines de la collaboration. Ce module intègre 2 grandes fonctions :

- fonction SPLITTER :
le module crée 3 copies de chacun des 32 signaux d'entrée, tous ces signaux étant en technologie ECL différentielle et repartis sur des connecteurs pour nappe souple. Ces copies peuvent, de façon globale (voie A ou B), être soit retardées, soit inversées (1 voie correspond à 16 entrées);
- fonction TRIGGER :
le module génère 2 signaux de sortie (niveau de sortie sélectionnable) quand les conditions sur les voies A et B sont remplies ainsi que les signaux correspondant aux différentes conditions (OR logique et analogique des entrées des voies A et B, TRIGGER local des voies A et B, OU logique de toutes les entrées du module) sur des sorties dédiées (voir figure 2).

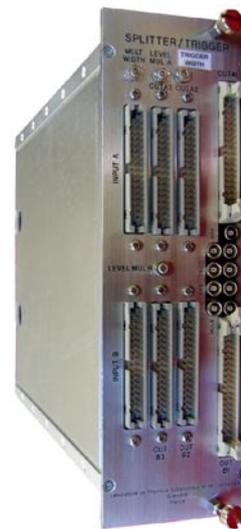


Figure 2: Face avant du SPLITTER/TRIGGER.

Carte MPS_BOARD (rapport interne LPSC05-9)

De nouvelles fonctionnalités ayant été ajoutées à l'acquisition de données de la partie française de la collaboration pour la mesure aux angles arrières de l'expérience GØ, le nombre de modules dépassait le nombre d'emplacements dans un seul châssis d'acquisition VXI taille C. Il a donc été nécessaire de répartir l'électronique d'acquisition dans deux châssis.



Figure 3

Certains signaux de contrôle n'étant présents que sur le premier châssis, il a fallu développer un ensemble de deux modules pour propager ceux-ci du premier châssis au deuxième, chaque module se plaçant dans l'un des châssis. La liaison entre ceux-ci se fait à l'aide d'un cordon RJ45 Ethernet (Figure 3).

Le premier de ces modules est émetteur/récepteur et se place dans le premier châssis, le second est récepteur et se trouve dans le deuxième châssis (le premier module pourrait être à la fois dans le premier et le deuxième

châssis mais certaines fonctionnalités décrites après ne seraient pas présentes).

Le deuxième module possède, outre sa fonction de récepteur de signal, d'autres fonctionnalités décrites ci-après :

- réception et mise en forme d'un autre signal de contrôle (seuil de déclenchement réglable);
- deux générateurs de test interne (30 Hz et 120 Hz) pour un fonctionnement de test en mode STAND ALONE;
- pilotage par programme de la carte (choix logiciel du signal de contrôle de l'acquisition);
- visualisation en temps du signal de contrôle de l'acquisition.

◆ Expérience de tomographie (rapport interne LPSC05-07)

Le LPSC s'est engagé dès 2001 dans le cadre du programme interdisciplinaire IPA (Imagerie du Petit Animal), dans un projet de R&D sur un tomographe TEP à xénon liquide basé sur le fort rendement lumineux de ce scintillateur rapide. Pour cette expérience, il a fallu développer une électronique spécifique et le service a été chargé d'étudier un Convertisseur Temps/Numérique (CTN). Une carte électronique a également été réalisée pour tester le circuit.

Principe de fonctionnement du CTN

Ce circuit, conçu en technologie AMS CMOS 0,35 µm, permet le marquage en temps des interactions qui se sont produites dans le module. Cette donnée correspond en fait au codage de l'intervalle de temps qui s'est écoulé entre le dernier front montant d'une horloge commune à tous les modules (CLK signal START) et le signal fourni par le DFC de chaque module (signal STOP).

Le CTN utilise une ligne à retard comprenant 128 cellules de retard élémentaire dans laquelle se propage le signal d'horloge CLK. Lorsque le signal STOP est activé, l'état de la ligne est mémorisé et la logique de codage recherche la position du front montant du signal CLK dans la ligne à retard. Le retard entre le front montant de CLK et le signal STOP est alors obtenu en faisant le produit de la position par la valeur du retard élémentaire. La logique de codage ne peut fonctionner que s'il y a un et un seul front montant du signal CLK dans la ligne. Il faut donc que le retard cumulé des 128 cellules soit exactement égal à une période de CLK. Chaque cellule retard étant composée de deux inverseurs CMOS il est impossible de remplir la condition précédente sans un contrôle de la vitesse de commutation de chaque inverseur. La différence de retard entre deux inverseurs provenant de deux wafers différents peut aller du simple au double, de plus ces retards sont dépendants de la température ainsi que de la tension d'alimentation. L'asservissement de la ligne est réalisé en utilisant une DLL (Delay Locked Loop: boucle à verrouillage de retard). Voir figure 4.

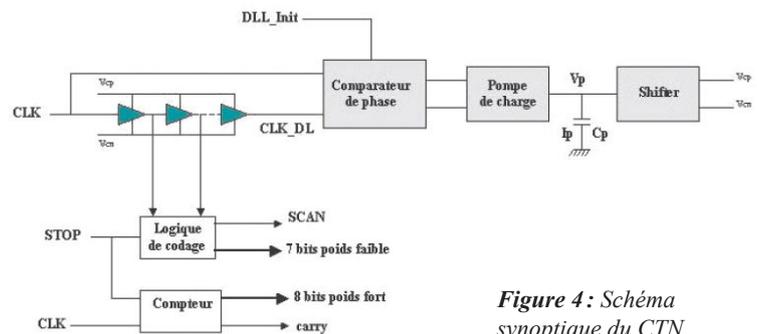


Figure 4: Schéma synoptique du CTN.

La DLL est constituée de la ligne à retard, d'un comparateur de phase, d'une pompe de charge et d'un étage shifter générant les tensions de contrôle Vcn et Vcp.

Le comparateur de phase commande la pompe de charge (et donc la vitesse de la ligne) de façon à ce que le retard entre les signaux CLK et CLK_DL soit nul. Avec un tel dispositif, il y a un risque qu'à la mise sous tension la DLL se verrouille sur un retard qui soit non pas égal à une période de CLK mais à un multiple de cette période. L'entrée DLL_init permet d'initialiser les tensions Vcn et Vcp à des valeurs conduisant à un retard faible pour les inverseurs de la ligne. Quand le signal DLL_init est désactivé, le retard de la ligne est alors augmenté jusqu'à obtenir la valeur d'une période de CLK. Comme nous l'avons vu précédemment, la logique de codage fournit un mot de 7 bits correspondant au retard entre les signaux CLK et STOP.

La sortie SCAN donne accès, en mode test, à l'état logique des 128 cellules retard de la ligne (sortie série). Le CTN comprend également un compteur 8 bits qui permet d'étendre la pleine échelle à une valeur de 256 périodes de l'horloge CLK.

Les tests dans le cryostat ont montré que le CTN fonctionne au moins jusqu'à une température de -120° C. La non-linéarité différentielle reste inchangée et la gamme de fonctionnement de la ligne à retard s'étend de 15 MHz à 50 MHz.

Expérience EUSO : carte de test du circuit ASIC

Cette carte est pilotée par le port parallèle du PC. Elle est capable de configurer l'ASIC et de relire les données de sortie. Elle doit aussi écrire les seuils et valeurs DAC dans l'ASIC.

Elle doit pouvoir également :

- faire le reset du chip (activation du reset);
- passer en mode calibration (amélioration de la sensibilité);
- permettre de choisir la voie à présenter en sortie et aiguillage de l'ordre de lecture (0 = dynode et 1 → 9 choix de l'anode);
- générer des signaux d'écriture et de lecture;
- générer le signal de sélection. Il doit basculer entre 2 fronts d'écriture et le signal de lecture est désactivé pendant le basculement;
- générer un signal de déclenchement en sortie tous les n GTU ($100 < n < 1000$) sur sortie BNC;
- générer un signal de sortie tous les GTU.

Le test se fait soit sur la voie dynode, soit sur une des voies anode. Il y a trois modes de fonctionnement :

- le mode manuel : le chip tourne en écriture, l'utilisateur choisit le moment de la lecture et les données réceptionnées sont écrites dans un fichier;
- le mode semi-automatique : tous les 128 (pour la dynode) ou 32 (pour les anodes) déclenchements valides, les données sont lues et stockées dans un fichier, ce cycle s'exécutera entre 100 et 1000 fois;
- le mode illimité : lecture tous les 32 ou 128 déclenchements de manière infinie jusqu'au stop manuel.

Les plans étant séparés, il a fallu prévoir un système d'alimentation séparé pour pouvoir mesurer la consommation de chaque partie du design (on utilise ou pas les régulateurs pour la partie analogique). Des picots de test seront implantés sur chaque signal numérique.

CNAO

Dans le cadre de l'expérience CNAO, le service participe à l'étude et au développement de la partie numérique de l'électronique Low Level RF du synchrotron de CNAO. Ce travail est fait en collaboration avec le service électronique.

Le but de cette électronique est de piloter l'unique cavité accélératrice du synchrotron de CNAO à partir des consignes fournies par le centre commande/contrôle. Une première carte a été réalisée et testée au CERN en septembre 2005. Une nouvelle version incluant un DSP est en cours de développement et devrait être testée sur la cavité courant mars 2006.

CREAM

Dans le cadre de l'expérience CREAM, le service est en charge du développement de toute l'électronique numérique d'acquisition de données. Le principe adopté est de placer le maximum d'électronique au plus près du détecteur et de faire une lecture de données avec suppression de zéro pour minimiser le temps mort et la quantité de mémoire liée à la mémorisation des données.

L'architecture matérielle s'articule principalement autour de trois modules électroniques, le module DAQ_FEE, le module MERGER et le module SPARSIFICATION (Figure 5).

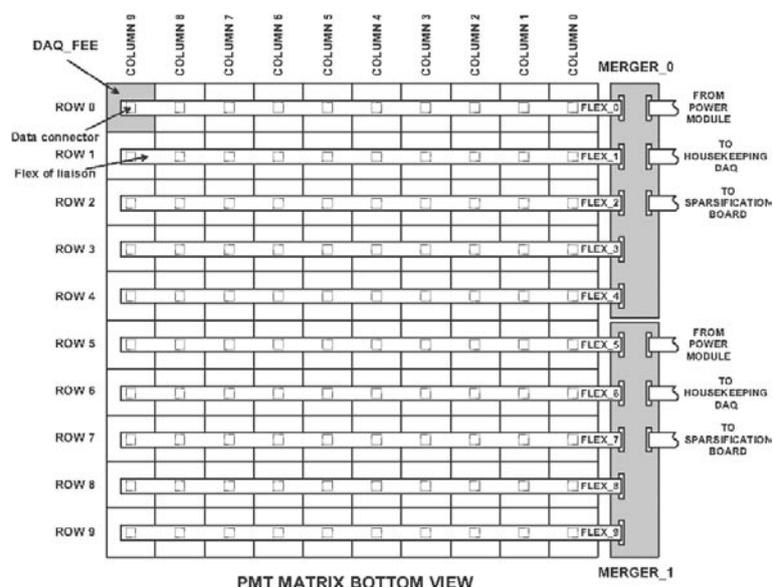


Figure 5: Synoptique de l'électronique d'acquisition pour CREAM.

Carte DAQ_FEE

Réalisation de cent modules appelés DAQ_FEE. Ce module, placé au plus près d'une matrice de seize photomultiplicateurs, convertit seize valeurs analogiques en valeurs numériques avec un gain approprié. DAQ_FEE

est capable de communiquer avec la carte de niveau supérieur (appelée MERGER) en recevant des commandes et en envoyant ses données grâce à un bus LVDS. La fréquence d'horloge de cette carte est de 40 MHz. Pour réaliser ces fonctions on utilise un ASIC développé au laboratoire, capable de lire seize valeurs analogiques, un convertisseur ANALOG DEVICE ADC7476, un circuit FPGA de la famille PROASIC de ACTEL et des drivers de bus LVDS pour la communication.

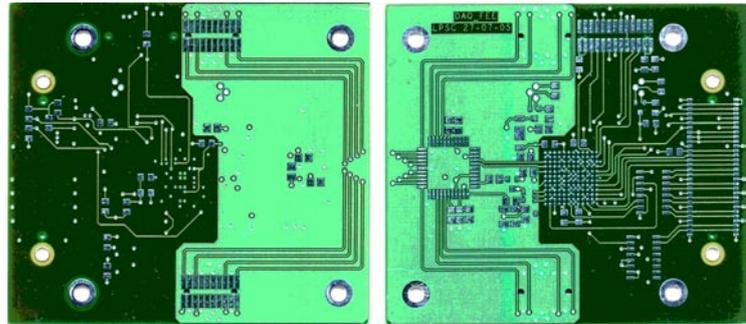


Figure 6: Carte DAQ_FEE pour CREAM.

Carte MERGER

Le rôle principal d'un module MERGER (CHERCAM en possède 2) est de centraliser les données venant des modules DAQ_FEE de la moitié du détecteur et de sérialiser celles-ci vers le module de SPARSIFICATION. Ce module gère aussi l'alimentation des modules de conversion DAQ_FEE et est architecturé autour d'un circuit de logique programmable basé sur la technologie de mémorisation FLASH. Pour l'instant, seules les études mécaniques et électriques ont été faites (conduisant à la fabrication du circuit imprimé présenté figure 7). Le contenu du FPGA est à l'état embryonnaire et reste à définir complètement.

Le test de ce module est prévu au cours du premier trimestre 2006.

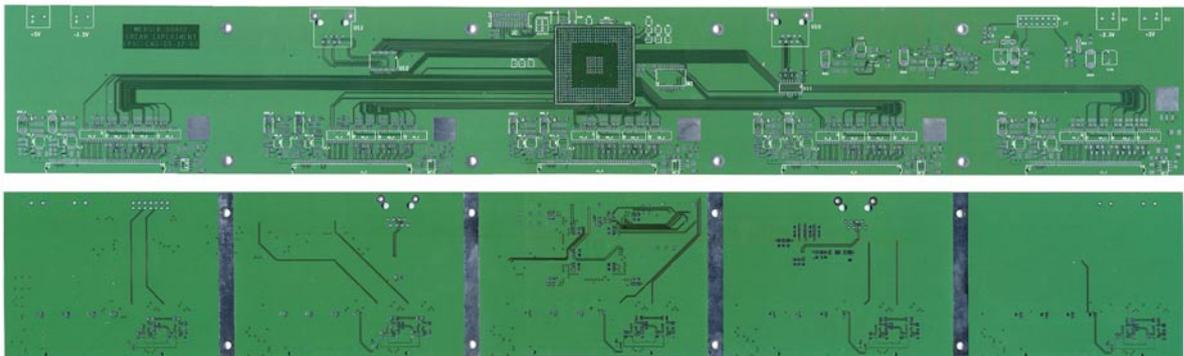


Figure 7: Un module MERGER pour CREAM.

◆ Recherche et développement

Carte codeur de charge 16 voies (rapport interne LPSC04-101)

La carte QDC16 a pour fonction d'effectuer des intégrations de charges sur 16 voies indépendantes et de les convertir en données 12 bits. En entrée les impulsions de courant sont négatives. Les impulsions logiques sont au standard NIM.

Elle est conçue au format VME avec un connecteur auxiliaire (type CERN). Elle intègre aussi les fonctionnalités suivantes (tous les réglages sont individuels) :

- réglages des piédestaux ;
- suppression de voie avec seuils réglables ;
- sélection du calibre d'intégration ;
- bufferisation de 512 mots (permet 25 événements avec toutes les voies conservées) ;
- génération d'une interruption VME en mode coup par coup ;
- échelle glissante ;
- possibilité d'intégrer les voies en utilisant soit des portes individuelles, soit une porte commune.

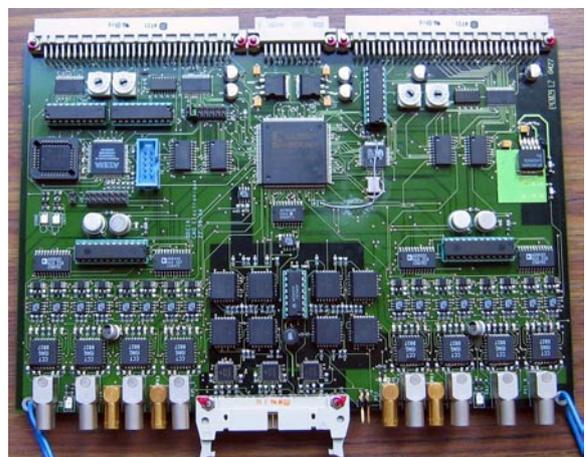


Figure 8: Carte codeur de charge 16 voies.

Une interface graphique développée sous UNIX et représentant le synoptique fonctionnel de la carte permet d'effectuer les réglages et de les télécharger par une liaison Ethernet.

Carte générateur

Pour faciliter le réglage des expériences, le service a développé une carte générateur de signaux. Le rôle de cette carte est de générer des signaux de test pour régler les acquisitions de données lors de leur montage sans avoir besoin des signaux des détecteurs (Figure 9).

Une interface graphique développée sous UNIX et représentant le synoptique fonctionnel de la carte permet d'effectuer les réglages et de les télécharger par une liaison Ethernet. Cette carte est au format VME et a pour caractéristiques :

- deux modes de fonctionnement autonome (la carte n'utilise que les alimentations du fond de panier VME), ou programmé (les différents paramètres décrits ci-après sont initialisés à travers le bus VME);
- fréquence programmable dans une plage allant de 10 Hz à 100 MHz;
- générateur de fréquence en mode continu ou en mode train d'impulsions (nombre d'impulsions programmable);
- générateur pseudo aléatoire en mode continu ou en mode train d'impulsions;
- générateur arbitraire en mode continu ou en mode boucle (cette fonction n'est accessible qu'à travers le mode programmé car il faut initialiser la mémoire interne de la carte ce qui est impossible manuellement);
- technologie de sortie programmable par switch;
- synchronisation du fonctionnement de la carte par un signal extérieur.

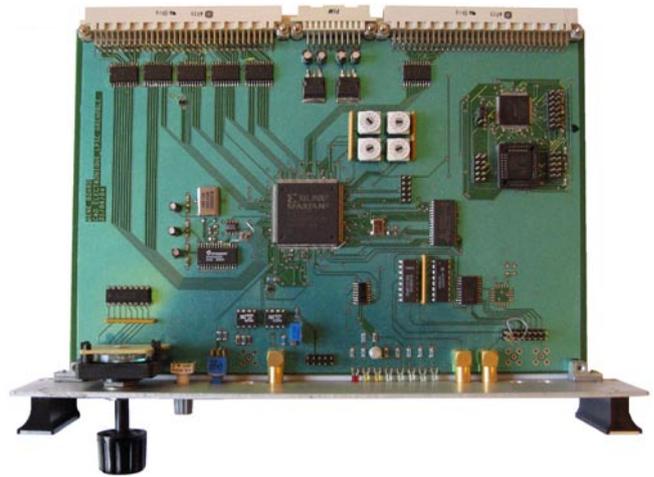


Figure 9: Carte générateur de signaux de test.

Carte USB-GPIB

Cette interface permet de communiquer avec le bus GPIB par l'intermédiaire du bus USB (Figure 10). Elle permet de contrôler divers appareils de laboratoire sans avoir à faire appel aux logiciels et cartes de *National Instruments*. La programmation des cycles se fait en langage C++. Une bibliothèque de fonctions (DLL) est fournie, contenant les commandes nécessaires pour réaliser des acquisitions sur le bus GPIB. La carte n'accepte que le PC comme seul contrôleur du bus GPIB et peut fonctionner soit en mode *polling*, soit en mode interruption. Le taux de transfert maximum est de 1,4 Mo/s.

Actuellement le module fonctionne sous les systèmes Windows (2000, Millenium et XP).



Figure 10: Carte Interface USB-GPIB.